

3. 半導体の製造と超精密研磨

3-1 半導体製造プロセスと研磨工程

3-1-1 半導体の製造工程

半導体の製造は工程数が多く、材料を調達してから完成までに3～6ヶ月を有するとされている。表3-1に半導体の主な工程を示す。製造工程は大きく前工程と後工程に分けられるが、チップを作成する前工程では多様な材料が使用され、工程も複雑である。製造工程の中で研削・研磨が適用されるのは、フォトマスクブランクスガラス基板、シリコンウエハの平坦化、ウエハ上の

表3-1 半導体の製造工程

	工 程	概 要	
前 工 程	1	回路・パターン設計	半導体チップ上の回路を設計し、効率的なパターンを作成する
	2	フォトマスク作成	ガラス板の表面に設計した回路パターンを焼き付ける
	3	インゴット作成	シリコンの単結晶棒(インゴット)を作成する
	4	ウエハ作成	インゴットをワイヤーソーなどで所定の厚さに切断する
	5	ウエハ研磨	ウエハ表面の凹凸を研磨(ポリシング等)して鏡面仕上げする
	6	ウエハの酸化	高温の拡散炉の中で、ウエハ表面に絶縁層となる酸化膜を形成する
	7	フォトレジスト塗布	ウエハ表面にフォトレジスト(感光剤)を薄く均一に塗布する
	8	パターン形成	フォトマスク、縮小レンズを介して光を照射し、ウエハ表面に回路パターンを焼き付ける。その後、現像液で不要なフォトレジストを除去する。ポジ型では感光した箇所が、ネガ型では感光していない箇所が除去される
	9	エッチング	形成された回路パターン以外の露出した酸化膜を除去する
	10	レジスト剥離・洗浄	回路パターンに残ったフォトレジストを剥離させる。その後、ウエハ上に残っている不純物を薬液で取り除く
	11	イオン注入	ウエハにイオン(ボロン、リン)を注入し、熱処理して活性化させる。これによりシリコンの露出部のみが半導体になる
	12	平坦化(CMP)	ウエハ表面に層間酸化膜を形成した後、表面を研磨してパターンの凹凸を平坦化する。
	—	繰り返し	フォトレジスト塗布(7)から平坦化(12)までの工程を繰り返して、ウエハに必要な回路を作り込んでいく
	後 工 程	13	電極形成
14		ウエハ検査	ウエハに形成された数百個のチップの一つ一つに針(プローブ)を接触させて良品、不良品を判定する
15		バックグラインド	チップの形成されたウエハの裏面を研磨してウエハを薄くする
16		ダイシング	ウエハをダイヤモンドブレードで切断してチップを一つ一つ分離する
17		マウンティング	チップをリードフレームの所定の位置に固定する
18		ワイヤーボンディング	チップとリードフレームを金線等で接続する
19		モールドディング	チップを傷や衝撃から保護するためエポキシ樹脂でパッケージする
20		トリム&フォーム	リードフレームから個々の半導体製品を切断、分離して、外部リードを所定の形状に成形する
21		最終検査	温度電圧試験(バーンイン)、製品検査(電氣的特性検査、外観構造検査)、信頼性試験(環境試験、長期寿命試験)などを行って不良品を取り除く
22		マーキング	半導体製品の裏面にレーザーで品名等を印字する

デバイス(チップ)作成、チップを作成した後のウエハ薄型化などである。中でもウエハのデバイス研磨は配線を積層する毎に行うため研磨の回数が多く、スラリーの消費量などが多くなる。

3-1-2 半導体製造の研磨加工

フォトマスクはマスクブランクスに半導体の回路パターンを形成したもので、露光でウエハに回路を転写する際の原版である。マスクブランクスはガラス基板に金属膜と感光膜を塗布したもので、これに回路パターンを現像してフォトマスクになる。半導体の回路は微細化、複雑化しているため、ガラス基板には高い平坦度と欠陥の低減が求められている。ガラス基板は一次・二次研磨、仕上げ研磨などを経て、表面の精度が高められる。研磨パッドにはウレタン含浸不織布や発泡ポリウレタン、スエードなどが用いられ、研磨スラリーにはコロイダルシリカ、酸化セリウムなどの砥粒が用いられている。最先端の半導体では極端紫外線(EUV)露光が採用されており、半導体回路の線幅は7nmから5nm、3nmへ微細化している。このためマスクブランクスガラス基板に求められる研磨精度も厳しくなっている。

インゴットからスライスされたシリコンウエハの研磨は平坦化が基本であり、ラッピング、エッチングによる一次平坦化、ポリシングによる二次平坦化に分けられる。一次平坦化は砥粒にアルミナを用いて両面ラップ盤などで加工し、二次平坦化は一次、二次、仕上げの各段階に分けたポリシングである。スラリーにはアルカリ水溶液に超微粒子を分散したコロイダルシリカなどが用いられ、パッドにはウレタン含浸不織布やスエードが使用される。ウエハ研磨ではパワー半導体に適用されるSiC、GaNなどのウエハもあり、これらは高硬度の超難加工材料で、研磨に多大な時間を要する。このためSiCウエハ、GaNウエハの高効率化を目指して様々な研磨技術の開発が進められている。

平坦化されたウエハには回路が形成されるが、デバイス製造では素子分離、層間絶縁膜、タングステンプラグ、銅ダマシン配線、Low- k 層間絶縁など、多様な材料を対象にしたCMP加工が行われる。半導体は高性能化に伴って多層化が進んでおり、このためCMPの回数が増えている。デバイスが完成したウ

エハは、ウエハ裏面を研削して薄くするバックグラインド加工が施される。口径300mmのシリコンウエハは厚さが775 μm であるが、携帯電話機向けの半導体ではウエハの厚さが50 μm 程度にまで薄くされる。バックグラインドは高速回転するカップ型砥石などで裏面が研削されるが、ウエハが薄くなるため破損につながるチッピングなどが発生しないように進めなければならない。

3-2 フォトマスク基板の研磨と技術開発

3-2-1 フォトマスクの最新動向

(1) フォトリソグラフィの工程

フォトリソグラフィは基板に感光性材料を塗布して光を当て、パターンを転写する技術である。感光した部分が溶解するポジ型と、感光していない部分が溶解するネガ型がある。フォトリソグラフィが開発された頃はネガ型が主流であったが、現在は感度のよいフォトレジスト(感光性樹脂)が開発されたこともあってポジ型が主流になっている。図3-1に半導体製造におけるフォトリソグラフィ(ポジ型)の工程概要を示す。

基板(シリコンウエハ)に酸化膜を形成して、その上にフォトレジストを塗布する。次に、フォトマスク(回路図)を通して光(紫外線等)を照射して回路図を転写し、そのあと現像してフォトレジストのパターンを形成する。さらに、フォトレジストのない部分をエッチングして、酸化膜の上のフォトレジストを有機溶剤(アセトン等)で除去する。エッチングには酸やアルカリの水溶液を用いるウェットエッチングと、ガスをプラズマ化して用いるドライエッチングが

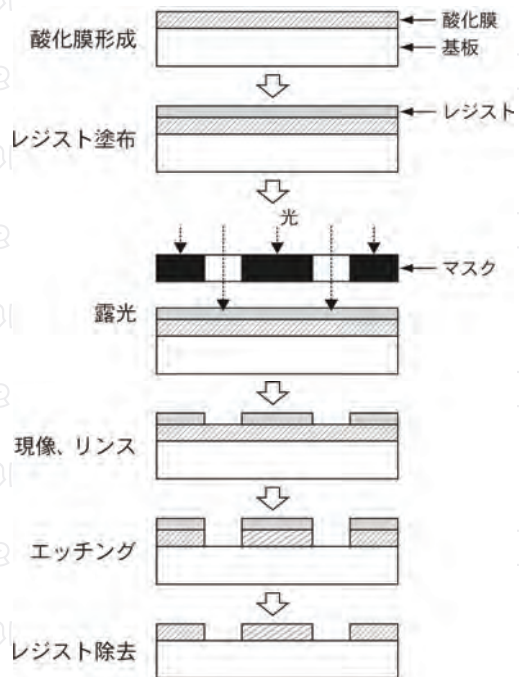


図3-1 フォトリソグラフィの工程概要